

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319638
 (43)Date of publication of application : 31.10.2002

(51)Int.Cl.

HO1L 21/8247
 HO1L 21/76
 HO1L 21/764
 HO1L 27/115
 HO1L 29/788
 HO1L 29/792

(21)Application number : 2001-124311
 (22)Date of filing : 23.04.2001

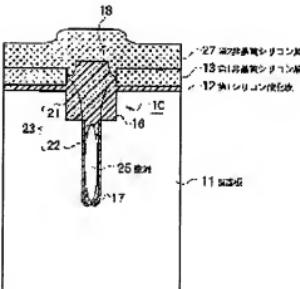
(71)Applicant : TOSHIBA CORP
 (72)Inventor : IGUCHI SUNAO
 TSUNODA HIROAKI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory, having a trench isolation structure suppressing stress to an element region and reducing electron traps, in a gate oxide film.

SOLUTION: The semiconductor memory is provided with a silicon substrate, the element region formed on the silicon substrate and an element isolation region sectioning the element region and the element isolation region is provided with a trench groove, whose cross sectional shape is bent in a step shape. The trench groove is provided with a first region, positioned on the surface side of the substrate and a second region extended from the first region in the depth direction, and the first region of the trench groove is filled with a silicon oxide film and a second region at a position deeper than the first region is provided with a void in the inside. The void of the second region relaxes the stress between the silicon substrate and the silicon oxide film, filled inside the first region.



Japanese Unexamined Patent Application Publication No.
2002-319638

SPECIFICATION <EXCERPT>

[0022] (1) First of all, as illustrated in FIG. 2(a), a first silicon oxide film 12 having a thickness of approximately 10 nm is deposited on a silicon substrate 11 in an O₂ atmosphere with a temperature of 750°C. Next, a first amorphous silicon film 13 having a thickness of approximately 60 nm, a silicon nitride film 14 having a thickness of approximately 70 nm, and a second silicon oxide film 15 having a thickness of 230 nm are deposited thereon by a chemical vapor deposition (CVD). Subsequently, a photoresist (not shown) is processed into a predetermined pattern by a regular photolithography, and by using the resulting pattern as a mask, the second silicon oxide film 15 and the silicon nitride film 14 are processed by RIE. The whole silicon substrate 11 is exposed to O₂ plasma to remove the photoresist. Then, by using the second silicon oxide film 15 as a mask, the amorphous silicon film 13, the first silicon oxide film 12, and the silicon substrate 11 are processed to form a groove 21 having a depth of 100 nm which is measured from the surface of the silicon substrate 11. This groove 21 is the first region of the trench groove.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-319638

(P2002-319638A)

(43)公開日 平成14年10月31日 (2002.10.31)

(51)Int CL' H 01 L 21/8247
21/76
21/764
27/115
29/788

識別記号

F I
H 01 L 27/10
29/78
21/76
A

4 3 4 5 F 0 3 2
3 7 1 5 F 0 8 3
L 5 F 1 0 1

テ-マ-1 (参考)

審査請求 未請求 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願2001-124311(P2001-124311)

(71)出願人 000003078

(22)出願日 平成13年4月23日 (2001.4.23)

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 井口 直
三重県四日市市山之一色町800番地 株式
会社東芝四日市工場内
(72)発明者 角田 弘昭
三重県四日市市山之一色町800番地 株式
会社東芝四日市工場内

(74)代理人 100083806
弁理士 三好 秀和 (外7名)

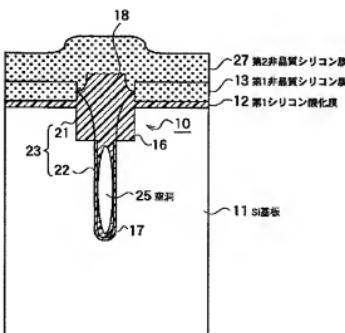
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 素子領域への応力を抑制し、ゲート酸化膜中の電子トラップを低減するトレンチ分離構造を有する不揮発性半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、シリコン基板と、シリコン基板上に形成される素子領域と、素子領域を区画する素子分離領域を有し、素子分離領域は、断面形状がステップ状に屈曲したトレンチ溝を有する。トレンチ溝は、基板の表面側に位置する第1領域と、第1領域から深さ方向に伸びる第2領域を含む。トレンチ溝の第1領域は、シリコン酸化膜で充填され、第1領域よりも深い位置にある第2領域は、内部に空洞を有する。第2領域の空洞は、シリコン基板と、第1領域内に充填されたシリコン酸化膜との間の応力を緩和する。



【特許請求の範囲】

【請求項1】 基板と、

前記基板上に形成された素子領域と、

前記素子領域を区画する素子分離領域とを有し、前記素子分離領域は少なくとも、前記基板の表面側に位置する第1領域と、前記第1領域よりも深い位置に位置する第2領域とを含むトレンチ溝を有し、前記第1領域は絶縁膜で充填され、前記第2領域は内部に空洞を有することを特徴とする半導体記憶装置。

【請求項2】 基板と、

前記基板上に形成された素子領域と、

前記素子領域を区画する素子分離領域とを有し、前記素子分離領域は、断面形状が屈曲したトレンチ溝を含み、前記トレンチ溝は、少なくとも基板表面側の第1領域と、この第1領域から深さ方向に延びる第2領域とを有し、前記第1領域は絶縁膜で充填されており、第2領域は内部に空洞を有することを特徴とする半導体記憶装置。

【請求項3】 前記トレンチ溝の断面形状は、階段状に屈曲することを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記トレンチ溝の断面形状は、テーパ状のくびれ部を有することを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】 前記第1領域の深さは、前記基板の表面から20nm～200nmの範囲であることを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項6】 前記第2領域の深さは、前記基板の表面から30nm～300nmの範囲であることを特徴とする請求項1または2に記載の半導体記憶装置。

【請求項7】 前記半導体記憶装置は、前記基板表面上に位置する第1のシリコン酸化膜をさらに備え、前記トレンチ溝の第2領域内部の空洞が前記第1のシリコン酸化膜に働く応力を吸収することを特徴とする請求項1または2に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、改良されたトレンチ分離(STI:shallow trench isolation)構造を有する半導体記憶装置に関して、特に、電子トラップを低減して動作の信頼性を向上した不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】モバイル端末等の普及に伴って、データの保持に電力を必要としない不揮発性メモリの需要が急増している。メモリとしての性能を確保しつつ、携帯機器に用いるために、不揮発性記憶素子の高集積化は高まる一方である。このような高集積化に対応するために、素子分離法として、トレンチ分離(STI)が用いられる。

【0003】トレンチ分離は、シリコン基板に深さ1μm以下の比較的浅い溝(トレンチ)を形成後、その溝を酸化膜などの絶縁物で埋め戻すことによって素子分離領域を形成する素子分離法である。この方法はフィールド酸化のような熱酸化を行なう必要がないので、素子領域への酸化膜の食い込み(バーズピーク)がほとんど発生せず、微細化によって設計ルールがスケーリングされても、ほぼマスク寸法どおりに素子分離を形成することができる。

【0004】図5は、従来の不揮発性半導体記憶装置100におけるトレンチ分離領域の構造および形成方法を示す。まず、図5(a)に示すように、シリコン基板101上に、厚さ10nmの第1のシリコン酸化膜102と、80nmの第2の非晶質シリコン膜103と、シリコン内とライド膜104と、第2のシリコン酸化膜105を順次堆積し、通常の光酸剤法によりフォトレジスト(不図示)を所望のパターンに加工する。フォトレジストをマスクにして、RIE(reactive ion etching)により、第2のシリコン酸化膜105とシリコンナイトライド膜104を加工する。O₂プラズマ中にシリコン基板をさらしてフォトレジストを除去し、第2シリコン酸化膜105をマスクにして、非晶質シリコン膜103、第1シリコン酸化膜102、シリコン基板101を加工してシリコン基板中にトレンチを形成する。

【0005】次に図5(b)に示すように、O₂雰囲気、1000°Cで加熱し、厚さ6nmの第3シリコン酸化膜106をトレンチ内壁に沿って形成する。さらに、GDP(high density plasma)法により、第4シリコン酸化膜107を堆積し、CMP(chemical mechanical polish)で第4シリコン酸化膜107を平坦化して、900°Cの窒素雰囲気中で加熱する。

【0006】NH₃溶液に浸漬した後、150°Cの焼酸処理により、シリコンナイトライド膜104を除去し、減圧CVD法により、リン(P)が添加された第2の非晶質シリコン膜108を100nm堆積する。

【0007】

【発明が解決しようとする課題】図5において、第1のシリコン酸化膜102は、トレンチ分離領域で区画される素子領域(不図示)のゲート酸化膜として機能する。

図5に示す従来のトレンチ分離構造では、トレンチ内がシリコン酸化膜で充填されているため、後の熱工程での応力変化が大きい。具体的には、シリコン基板101と、埋設酸化膜107の熱膨張係数の相違による応力が生じ、これが第1シリコン酸化膜102に影響して、第1シリコン酸化膜102の膜質が劣化する。結果として、ゲート酸化膜として機能する第1シリコン酸化膜102中に、応力による結晶欠陥が発生し、電位トラップが増大する。

【0008】電子トラップは、しきい値電圧の上昇を引き起こし、半導体記憶装置の動作の信頼性を損なう。不

揮発性半導体記憶装置では、図6(a)に示すように、書き込み/消去の繰り返しによって、しきい値電圧 V_{th} が上昇してしまうことが知られており、これ以外の要因によるしきい値電圧の上昇は極力抑えるべきである。

【0009】しかし、図6(b)に示すように、応力下でのストレス時間が長くなるほど、電子トラップが増大し、ゲート電圧の変化(ΔV_{qe})が顕著になる。電子トラップに起因する電圧変化(ΔV_{qe})と、しきい値電圧の変化(ΔV_{th})の間には、図6(c)に示すように相関関係がある。のことから、不揮発性半導体記憶装置においては、第1シリコン酸化膜(ゲート酸化膜)に働く応力を極力小さくして、電子トラップを少なくすることが望まる。

【0010】そこで、本発明は上記の問題に鑑み、素子領域にかかる応力を極力抑えて、ゲート酸化膜(第1シリコン酸化膜)中の電子トラップを低減するトレンチ分離構造を有する半導体記憶装置の提供を目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体記憶装置では、素子領域を分離するためのトレンチ分離を、基板表面に近い第1領域と、基板表面から深い(すなはち比較的深い)第2領域により構成し、第1領域を絶縁膜で完全に充填し、第2領域に空洞を設ける。

【0012】より具体的には、本発明の半導体記憶装置は、基板と、基板上に形成される素子領域と、素子領域を区画する素子分離領域を有し、素子分離領域は、断面形状が屈曲したトレンチ溝を含む。トレンチ溝は、少なくとも基板表面側の第1領域と、この第1領域から深さ方向に延びる第2領域とを含む。トレンチ溝の第1領域は絶縁膜で充填されており、第2領域に空洞を有する。第1領域は、基板表面に近いため、ボイドが存在しないように完全に絶縁膜を埋設して絶縁性を確保し、基板上の配線のショートを防止する。一方、深い部分にある第2領域に空洞を形成することにより、基板と埋設絶縁膜との熱膨張係数の相違から生じる応力を解消する。これにより、素子領域に応力を起因する悪影響が及ぶことを防止できる。

【0013】トレンチ溝の断面形状は、階段形状、あるいはテバ状のくびれ部を有する2段階以上の屈曲形状とする。

【0014】第1領域の深さは、素子間、および基板上の配線との間の絶縁性を確保するために、基板表面から20nm～200nm程度であるのが好ましい。

【0015】第2領域の深さは、第2領域内部に形成される空洞で応力を十分に吸収するために30nm～300nm程度であるのが好ましい。

【0016】本発明のその他の特徴および効果は、以下の詳細な説明により一層明確になるものである。

【0017】

【発明の実施の形態】<第1実施形態>図1は、本発明の第1実施形態に係る半導体記憶装置の素子分離領域10の断面図である。半導体記憶装置は、シリコン基板11と、シリコン基板上に形成される素子領域(不図示)と、素子領域を区画する素子分離領域10を有し、素子分離領域10は、断面形状がステップ状に屈曲したトレンチ溝23を有する。トレンチ溝23は、基板11の表面側に位置する第1領域21と、第1領域21から深さ方向に伸びる第2領域22を含む。トレンチ溝の第1領域21は、シリコン酸化膜16、18で充填され、第1領域よりも深い位置にある第2領域22は、空洞25を有する。

【0018】空洞25は、シリコン基板11と、第1領域21内に充填されたシリコン酸化膜16、18との間の応力を緩和するためのものである。基板表面に近い側の第1領域には、酸化シリコン膜16、18が瞬間なく埋設されているため、基板表面近傍に形成される素子領域の活性領域を区画するための絶縁性に影響がでたり、基板上に形成される配線がショートすることはない。基板表面に影響を及えない深さに空洞部分25を有することにより、素子間の絶縁性を維持しつつ、シリコン基板11と、トレンチ内に充填される酸化膜16、18との熱膨張係数の相違に起因する応力を効果的に緩和することができる。

【0019】第1実施形態においては、トレンチ溝23の第1領域の深さは基板11の表面から約100nm、第2領域の深さは、基板11の表面から約250nmあるいはそれ以上の深さである。

【0020】なお、図1の例では、シリコン基板11の表面に、第1のシリコン酸化膜12、第1の非晶質シリコン膜13、第2の非晶質シリコン膜27を有する。基板11の表面に形成された第1シリコン酸化膜12は、図示はしないが、素子領域において上部に堆積されるゲート酸化膜とともに加工されて、ゲート酸化膜として用いられる。図1のトレンチ分離構造を採用することによって、熱処理工程において応力が空洞25に吸収されるので、応力に起因する第1シリコン酸化膜12中の結晶欠陥が防止される。したがって、電子トラップを効果的に低減し、活性領域のしきい値電圧の上昇を効果的に防止できる。

【0021】図2は、図1に示すトレンチ分離構造の形成方法を示す図である。

【0022】(イ)まず、図2(a)に示すように、シリコン基板11上に、750°CのO₂雰囲気中で、厚さ約10nmの第1のシリコン酸化膜12を堆積する。次に、厚さ約60nmの第1非晶質シリコン膜13と、厚さ約70nmのシリコンナイトライド膜14と、厚さ約230nmの第2のシリコン酸化膜15をCVD(chemical vapor deposition)によりそれぞれ堆積する。次に、通常の光刻法によりフォトレジスト(不図示)を

所定のパターンに加工し、それをマスクとしてR I Eにより第2のシリコン酸化膜15およびシリコニアイトラジド膜14を加工する。O₂プラズマ中にシリコン基板11全体をさらして、フォトレジストを除去する。そして、第2のシリコン酸化膜15をマスクとして、非品質シリコン膜13、第1のシリコン酸化膜12、およびシリコン基板11を加工して、シリコン基板11の表面から深さ100nmの溝21を形成する。この溝21は、トレンド溝の第1領域となる。

【0023】(イ) 次に、図2(b)に示すように、CVDにより溝21内に第5のシリコン酸化膜16を100nm堆積し、底面をR I Eでエッチングして、シリコン基板11の表面を露出させる。この第5シリコン酸化膜16は、スペーサーとして使用される。

【0024】(ハ) 次に、図2(c)に示すように、第2シリコン酸化膜15および第5シリコン酸化膜(スペーサー)16をマスクとして、再度シリコン基板11を加工して、トレンド溝の第2領域23を形成する。第2領域の深さは、シリコン基板11の表面から250nm以上とするのが好ましい。その後、O₂雰囲気、1000°Cで加熱し、厚さ6nmの第3シリコン酸化膜7をトレンド溝の第2領域の内壁に沿って形成する。

【0025】(ニ) 次に、図2(d)に示すように、HDP (high density plasma)法により、第4シリコン酸化膜18を厚さ600nmまで堆積する。このとき、第2領域22の内部に空洞25が形成される。これは、トレンド溝23の第2領域の入り口が第1領域21の底面に比べて狭くなっていることから、第2領域が深さ方向に延びることから、第2領域22内部に酸化膜材料が入り込まざる空洞25が残されるためである。第1実施形態では、第2領域22の内部に空洞25を形成するため、第2領域22の深さをシリコン基板11の表面から250nmとするが、これ以上の深さでもよく、また、第1シリコン酸化膜12に応力が影響しない限り、250nmよりも浅くすることも可能である。

【0026】次に、第4シリコン酸化膜18の表面を、第2シリコン膜15とともにCMPにより平坦化し、900°Cの窒素雰囲気中で加熱する。NH₃、F₂溶液に浸漬した後、150°Cのリソ酸処理によりシリコニアイトラジド膜14を除去し、露出した第1非品質シリコン膜13および平坦化された第4シリコン酸化膜18の上に、リンが添加された第2の非品質シリコン膜27を濾波CVDにより100nm堆積すると、図1に示す半導体記憶装置の素子分離領域が完成する。

【0027】なお、トレンド溝の第2領域を形成するためのスペーサーとしての第5シリコン酸化膜16は、CVDに限定されず、たとえばSOG膜などによっても形成できる。

【0028】このように、素子分離領域のトレンド溝を2段階に形成し、基板表面に近い側の第1領域を絶縁膜

(シリコン酸化膜)で完全に充填し、基板表面から遠い第2領域に空洞を形成することによって、基板表面に形成される第1シリコン酸化膜12に悪影響を及ぼす応力の発生を防止することができる。結果として、第1シリコン酸化膜12中の結晶欠陥による電子トラップを低減し、半導体記憶装置の動作の信頼性を維持することができる。

【0029】図3は、応力と電子トラップによるゲート電圧の変化量の差△V_{qe}との関係を、本発明の第1実施形態のトレンド分離構造を有する半導体記憶装置と、従来のトレンド分離構造の半導体記憶装置とを比較して示すグラフである。グラフ中、横軸は第1シリコン酸化膜(ゲート酸化膜)に働く応力を、縦軸は、応力が0のときのゲート電圧変化△V_{qe}と、応力が印加されたときのゲート電圧変化△V_{qe}との差を示す。図3に示すように、第1シリコン酸化膜(ゲート酸化膜)に働く応力の増大につれて、ゲート電圧の変化量の割合が大きくなり、これを補償するために高い電圧が高くなる。したがって、応力を低減することによって、ゲート電圧の低下を防止し、しきい電圧の上昇を防止することができる。

【0030】図1、2に示す本発明の第1実施形態の半導体記憶装置では、従来の半導体記憶装置に比べ、第1シリコン酸化膜に働く応力が30MPa程度、低減することができる。応力を30MPa低減することによって、ゲート電圧の変化量△V_{qe}を10mV程度低減できることがわかる。ゲート電圧の変化量を低減することによって、半導体記憶装置の動作の信頼性を維持することができる。

【0031】<第2実施形態>図4は、本発明の第2実施形態に係る半導体記憶装置のトレンド分離構造の作製方法を示す図である。第1実施形態では断面が階段形状のトレンド溝を形成していたが、第2実施形態では、テーパ状に狭まった第1領域31の低部をくびれ部として、さらに中央部が膨らんだ第2領域32が深さ方向に延びるトレンド溝33を有する。第12実施形態と同様に、基板表面に近い第1領域31は絶縁膜(シリコン酸化膜)47で充填され、基板表面から離れて位置する第2領域32は内部に空洞49を有する。この構造によって達成される効果は第1実施形態と同様である。すなわち、空洞49でシリコン基板41とシリコン酸化膜47との間の熱膨張係数の相違に起因する応力を吸収することによって、第1シリコン酸化膜42に生じる結晶欠陥や電子トラップを低減することができる。

【0032】図4に示すトレンド分離領域の作製手順は以下のとおりである。

【0033】(イ) まず、図4(a)に示すように、シリコニアイトラジド膜41上に、750°CのO₂雰囲気中で、厚さ約10nmの第1のシリコン酸化膜42を堆積する。次に、厚さ約6nmの第1非品質シリコン膜43と、厚

さ約70nmのシリコンナイトライド膜4と、厚さ約230nmの第2のシリコン酸化膜45をCVD(chemical vapor deposition)によりそれぞれ堆積する。次に、通常の光蝕刻法によりフォトレジスト(不図示)を所定のパターンに加工し、それをマスクとしてRIEにより第2のシリコン酸化膜45およびシリコンナイトライド膜4を加工する。O₂プラズマ中にシリコン基板11全体をさらして、フォトレジストを除去する。そして、第2のシリコン酸化膜15をマスクとして、非晶質シリコン膜13、第1のシリコン酸化膜12、およびシリコン基板11を加工して、シリコン基板11の表面から深さ300nm程度の断面形状が屈曲したトレンチ溝33を形成する。

【0034】このとき、溝の深さが100nm程度までは、エッティングのガス種としてCl₂／O₂またはCl₂／HBr／O₂を使用し、それ以降は、HBr／O₂／SF₆またはHBr／O₂／NF₃／SF₆を使用することにより、図4(a)に示す形状に加工することができる。

【0035】(ロ)次に、図4(b)に示すように、O₂雰囲気、1000°Cで加熱し、廃厚約6nmの第3のシリコン酸化膜46を形成する。

【0036】(ハ)次に、図4(c)に示すように、HDP(high density plasma)法により、厚さ600nmの第4のシリコン酸化膜47を堆積する。このとき、トレンチ溝の第1領域と第2領域との間のくびれ部により、第2領域内に空洞49が形成される。

【0037】(ニ)最後に、CMPにより、第4シリコン酸化膜47を第2シリコン酸化膜45とともに平坦化し、900°Cの窒素雰囲気中で加熱する。NH₄F溶液に浸漬した後、150°Cのリン酸処理によりシリコンナイトライド膜44を除去し、減圧CVD法により、リンが添加された第2の非晶質シリコン膜48を第4シリコン酸化膜47および第1非晶質シリコン膜43上に堆積する。

【0038】
【発明の効果】以上説明したように、本発明の半導体記憶装置によれば、STIの一部を空洞にすることで、素*

*子部分にかかるストレスを緩和し、第1シリコン酸化膜中の電子トラップを低減できる。結果として、半導体記憶装置の動作の信頼性を向上できる。

【0039】さらに、派生的な効果として、トレンチ溝を2段階あるいはそれ以上の構成とし、表面側の領域だけを絶縁膜で埋め込み、深い領域に空洞を残すことによって、埋め込みのアスペクトを緩和できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態にかかる半導体記憶装置のトレンチ分離構造を示す図である。

【図2】図1に示すトレンチ分離構造の製造工程を示す図である。

【図3】基板上のシリコン酸化膜に働く応力と、電子トラップによるゲート電圧の変化量との関係を示すグラフである。

【図4】本発明の第2実施形態にかかる半導体記憶装置のトレンチ分離構造を示す図である。

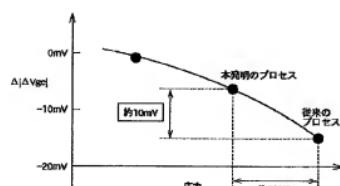
【図5】従来の半導体記憶装置のトレンチ分離構造を示す図である。

【図6】一般的な不揮発性半導体記憶装置の特性を表わす図であり、図6(a)は書き込み／消去回数の増大に伴うしきい値電圧の上界を、図6(b)は応力時間と、応力に起因する電子トラップの関係を、図6(c)は電子トラップに起因するゲート電圧の変化量としきい値電圧の関係を示すグラフである。

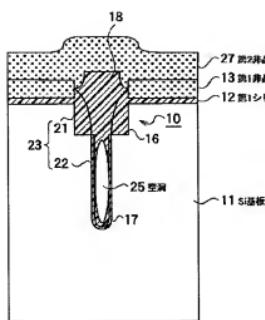
【符号の説明】

11、41、101	シリコン基板
12、42、102	第1シリコン酸化膜
13、43、103	第1非晶質シリコン膜
30 14、44、104	シリコンナイトライド膜
15、45、105	第2シリコン酸化膜
16 第5シリコン酸化膜	
17、46、106	第3シリコン酸化膜
18、47、107	第4シリコン酸化膜
27、48、108	第2非晶質シリコン膜
21、31	トレンチ溝第1領域
22、32	トレンチ溝第2領域
23、33	トレンチ溝

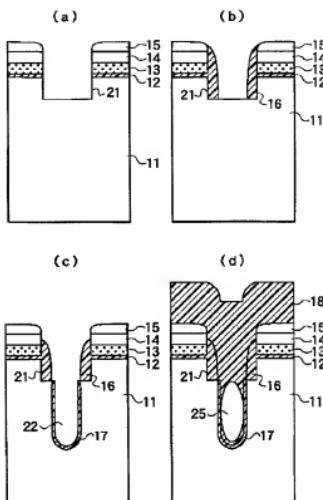
【図3】



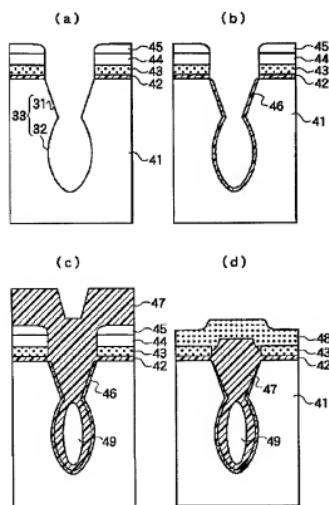
【図1】



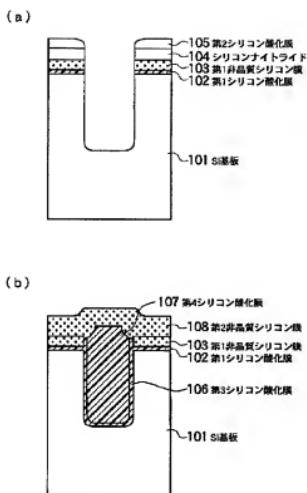
【図2】



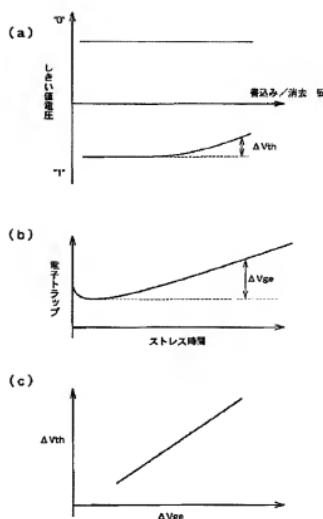
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁷
H 01 L 29/792

識別記号

F I

フタード(参考)

Fターム(参考) SF032 AA14 AA35 AA36 AA39 AA45
 AA49 AA77 AC02 BA01 BA02
 BB01 CA17 DA03 DA22 DA78
 SF083 EP00 GA21 NA01 PR03 PR05
 PR09 PR12 PR15 PR40
 SF101 BD35 BF03